전략연구사업 시작품 제작을 위한 설계 도면 레이아웃 구매시방서

2026. 10.

파워 SoC 연구센터

한 국 전 기 연 구 원

I. 용도

본 구매시방서는 한국전기연구원 파워 SoC 연구센터에서 수행하는 전략연구사업 시작품 제작 관련 연구개발을 위하여 Gate Driver 및 PMIC 시작품 IC 제작에 필요한 설계 도면(Layout) 제작 용역에 적용된다.

시작품 IC 의 제작을 위해서는 연구원에서 제공하는 회로도면을 기반으로 Layout 을 수행하고, 공정의 Design Rule 및 PDK 를 만족하는 설계 데이터베이스(DB)를 작성하여야 한다. 본 용역의 대상은 Gate Driver 및 PMIC 이며, PMIC 내 LDO Layout 을 포함한다.

II. 일반사항

1. 수행기간

- 연구원에서 제공하는 회로도면, PDK 및 Layout 관련 자료의 제공 일정에 따라 세부 일정은 상호 협의하여 조정할 수 있다.
- 의뢰 내용의 변경, 수정 또는 추가에 따라 일정이 변경될 수 있으며, 변경 시 연구원과 계약자가 협의하여 조정한다.

2. 회로도면 및 설계자료

- 최종 Layout 에 필요한 회로도면 및 관련 설계자료는 연구원에서 제공한다.
- Layout 수행에 필요한 공정 정보 및 PDK 는 연구원과 계약자가 협의하여 적용한다.
- 회로도면의 변경이 필요한 경우 연구원과 사전 협의를 통해 변경 여부 및 범위를 결정한다.

III. 수행 범위 및 완성 조건

1. Layout 수행 범위

- Gate Driver Layout Design
- PMIC Layout Design
- PMIC 내 LDO Layout Design
- 각 블록 및 Top-level Layout 에 대한 배치, 배선 및 전원/그라운드 구조 최적화
- 연구원에서 제공하는 Layout Guide 및 설계 요구사항을 반영한 Layout 수행
- Layout 과정에서 확인되는 회로 및 Layout 상의 문제점에 대하여 연구원과 기술협의 후 수정

2. 완성 조건

- 연구원에서 제공하는 최종 회로도면을 기준으로 Layout 을 수행하여야 한다.

- 적용되는 TSMC 공정의 Design Rule 을 준수하여야 하며, 해당 PDK 에서 제공하는 DRC(Design Rule Check)를 수행하여야 한다.
- 작성된 Layout 은 회로도면과 LVS(Layout Versus Schematic) Check 를 수행하여 회로와 Layout 의 일치 여부를 검증하여야 한다.
- Gate Driver 의 고속 스위칭 동작 특성을 고려하여 기생 커패시턴스 및 기생 성분을 최소화하도록 Layout 을 수행하여야 한다.
- PMIC 의 전원 및 신호 특성을 고려하여 전원/그라운드 배선, 신호 배선 및 블록 간 격리를 적절히 구성하여야 한다.
- 필요한 경우 소자 매칭 및 대칭 구조를 적용하여 회로의 특성 편차를 최소화하도록 Layout 을 수행하여야 한다.
- 최종 DB 는 DRC/LVS 검증 결과를 확인할 수 있는 상태로 제출하여야 한다.

IV. 제작될 IC 의 조건

1. 적용 공정

- Process : TSMC 공정
- 세부 공정 및 PDK 는 연구원에서 제공하거나 계약 체결 후 상호 협의하여 확정한다.

2. 제작 대상

- Gate Driver
- PMIC
- PMIC 내 LDO

※ 칩 면적, 제작 수량 및 Tape-out 일정 등 제작 관련 세부 조건은 최종 회로도면 및 연구원의 개발계획에 따라 별도로 확정한다.

V. 납품

- 계약자는 계약 및 협의된 일정에 따라 최종 Layout Database(DB)를 제출하여야 한다.
- 납품자료는 다음을 포함한다.
- ① Layout Database (GDS 파일 또는 연구원이 지정하는 Layout Database 형식)
- ② DRC Report
- ③ LVS Report
- ④ 연구원이 요구하는 기타 Layout 관련 검증자료

- 기술검사는 최종 Layout DB 의 DRC/LVS 결과 및 연구원 제공 회로도면과의 일치 여부를 기준으로 한다.
- DB 전달 이후 연구원과 계약자는 필요 시 Layout 관련 기술회의를 진행한다.
- DB 전달 이후 2 회 이내의 회로 수정에 따른 Layout 수정은 무상으로 지원한다.
- 다만, 연구원의 회로 변경, 요구사항 추가 또는 당초 용역 범위를 초과하는 변경이 발생하는 경우에는 일정 및 비용을 별도로 협의할 수 있다.
- 납품 완료시까지 시작품 Layout 에 대한 용역 수행 책임은 계약자에게 있다.

VI. 하자보증

- Layout 의 하자보증 기간은 납품일로부터 1 년 이내로 한다.
- 하자보증기간 이내에 계약자의 Layout 수행상 하자가 발생한 경우 계약자는 무상으로 해당 Layout 을 수정하여야 한다.
- 재작업 이후의 하자보증기간은 재작업 완료일로부터 1 년으로 한다.
- 다만, IC 시작품의 특성상 발생할 수 있는 하자는 다음의 경우로 한정한다.
- ① 제작된 Layout 과 연구원에서 제공한 최종 회로도면이 일치하지 않는 경우
- ② 적용 공정의 Design Rule 에 맞지 않게 Layout 된 경우
- ③ 상기 사항 이외에 계약자의 Layout 수행상 결함이 발생한 경우

VII. 기타

- 본 시방서에 명시되지 않은 사항은 연구원과 계약자가 상호 협의하여 결정한다.
- 본 시방서의 해석상 이견이 있을 경우에는 한국전기연구원의 해석에 따른다.
- 본 시방서의 내용 중 연구원의 회로도면 및 설계 요구사항과 관련된 사항은 최종 제공자료를 기준으로 한다.